

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-217992

(43)Date of publication of application : 02.08.2002

(51)Int.Cl.

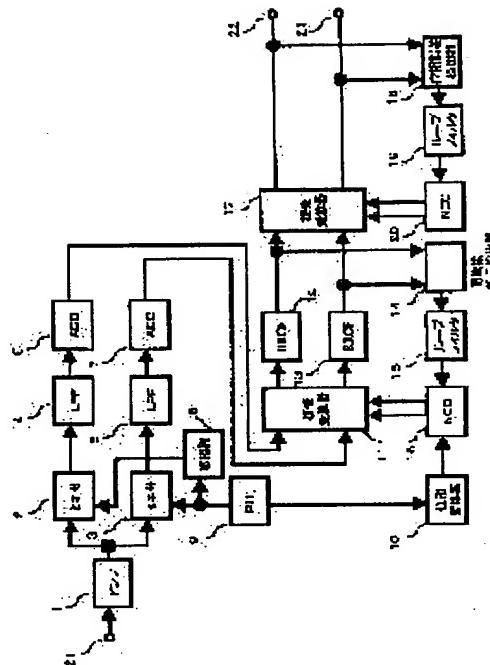
H04L 27/227
H04L 27/38(21)Application number : 2001-008474
(22)Date of filing : 17.01.2001(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD
(72)Inventor : JINNO IPPEI
OUCHI MIKИIRO
KATO HISAYA

(54) MODULATION DEVICE AND MODULATION METHOD

(57)Abstract:

PROBLEM TO BE SOLVED: To correct the influence of a phase noise of a local generator of a tuner, without increasing fixed degradation, regardless of the reception state or the modulation system.

SOLUTION: An instant phase shift of VCO 901 is corrected in a feed-forward format, in PLL 9 for controlling the tuner VCO 901, by detecting the instant phase shift of VCO 901 from the result of phase comparison between an output of a standard generator 905 and an output of VCO 901 with a phase comparator 909, converting into a carrier phase angle at a phase converter 10, and feedbacking the phase angle of NCO 16 of AFC loop.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-217992

(P2002-217992A)

(43) 公開日 平成14年8月2日 (2002.8.2)

(51) Int.Cl.

H 04 L 27/227
27/38

識別記号

F I

H 04 L 27/22
27/00

テ-マコト(参考)

B 5 K 00 4
H

審査請求 未請求 請求項の数2 OL (全 11 頁)

(21) 出願番号 特2001-8474(P2001-8474)

(71) 出願人 000005821

(22) 出願日 平成13年1月17日 (2001.1.17)

松下電器産業株式会社
大阪府門真市大字門真1006番地

(72) 発明者 神野 一平

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 大内 幹博

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

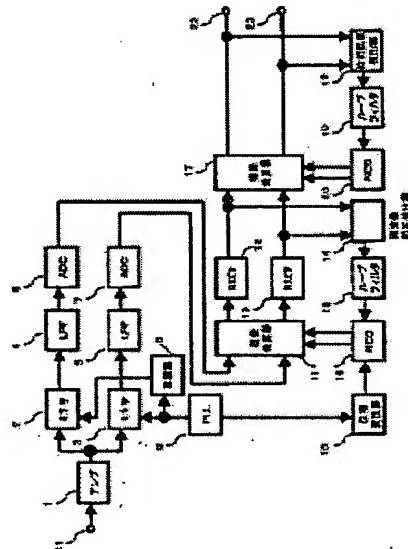
弁理士 岩橋 文雄 (外2名)

最終頁に続く

(54) 【発明の名称】 復調装置および復調方法
(57) 【要約】

【課題】 受信状態や変調方式にかかわらず、また固定劣化の増加を招くことなくチューナの局部発振器の位相雜音の影響を補正する。

【解決手段】 チューナのVCO901を制御するPLLにおいて、基準発振器905の出力とVCO901の出力を位相比較器909で位相比較した結果からVCO901の瞬時位相ずれを検出し、位相変換器10で搬送波の位相角度に変換し、その位相角度をAFCループのNCO16に帰還することで、VCO901の瞬時位相ずれをフィードフォワード形式で補正する。



【特許請求の範囲】

【請求項 1】受信したデジタル変調信号の周波数変換または検波を行うミキサと、前記ミキサに入力する遙局用の局部発振信号を生成するPLL手段と、前記PLL手段で生成される前記局部発振信号の瞬時位相を、前記PLL手段内部の基準発振信号との位相比較で検出する位相比較手段と、前記瞬時位相を送波波の位相角度に変換する位相変換器と、前記ミキサの出力に対して送波波の位相を変更する送波回転手段と、を備え、前記局部発振信号の前記瞬時位相を前記位相変換器の出力により補正するように、前記送波回転手段により前記送波波の位相を制御することを特徴とする復調装置。
【請求項 2】受信したデジタル変調信号と遙局用の局部発振信号とを乗算することにより周波数変換または検波を行ってベースバンド信号を出力する復調方法であつて、前記局部発振信号はPLLにより生成し、前記局部発振信号の瞬時位相を前記PLL内部の基準発振信号との位相比較で検出し、検出した前記瞬時位相を送波波の位相角度に変換し、前記ベースバンド信号に対して、前記局部発振信号の前記瞬時位相を補正するように、前記位相角度分だけ送波波に位相回転を与えることを特徴とする復調方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、衛星・地上・CATVのデジタル放送における復調装置に関する。

【0002】

【従来の技術】従来、復調装置は、特許第2766267号に記載されたものが知られている。図13はその構成を示すもので、入力信号はPSK変調波である。この入力信号は2分配され、一方は位相比較器101、ループフィルタ102、VCO（電圧制御発振）回路103で構成される一般的なキャリア再生PLL（位相同期ループ）回路に導かれ、他方は位相雑音検出器104に導かれる。但し、ここで用いるループフィルタ102は帯域を設定する時定数を調整できるようになっている。上記PLL回路は、位相比較器101で入力信号とVCO回路103からの局部発振信号とを位相比較して位相差を求め、この位相差信号をループフィルタ102で電圧信号に変換し、この電圧信号でVCO回路103の発振周波数を制御するものである。VCO回路103の発振周波数信号はキャリア再生信号として出力され、同時に位相雑音検出器104に送られる。この位相雑音検出器104に入力信号及びキャリア再生信号から相対的な位

相雑音強度を求め、この位相雑音強度に応じて上記ループフィルタ102の帯域を制御するものである。このループフィルタ102の帯域は位相雑音が大きいときには広帯域に、位相雑音が小さいときには狭帯域に制御される。

【0003】

【発明が解決しようとする課題】復調装置に入力される変調信号の位相雑音劣化の要因としては、復調装置の前端に接続されるチューナにおいて遙局のために使用される局部発振器の位相雑音の影響が支配的である。従来例の構成では、このチューナの位相雑音が大きい場合には、復調装置のVCO103を制御するPLLのループフィルタ102の帯域幅が広帯域に設定されるので、位相雑音によって発生する復調信号の位相方向ジッタを抑えることはできる。但し、PLLループの雑音帯域幅も広がるために位相雑音が小さい場合、すなわちループフィルタが狭帯域の場合に比べると受信性能が悪化する（固定劣化が大きくなる）という問題点があった。

【0004】また、位相雑音量の判定の基準点として、復調後の信号を符号点に識別した結果を用いるために、C/N劣化等で受信状態が劣化した場合や、N値PSK、M値QAM等で多値化された場合に位相雑音量の検出が困難になるという問題点があった。

【0005】本発明は、受信状態や変調方式にかかわらず、また固定劣化の増加を招くことなくチューナで発生する位相雑音を除去することを目的とする。

【0006】

【課題を解決するための手段】この課題を解決するためには本発明は、チューナの局部発振器を制御するPLLにおいて、PLL内部の基準発振器出力と局部発振器出力との位相比較出力から局部発振器の瞬時位相を検出し、検出した瞬時位相を位相変換器で送波波の位相角度に変換し、その位相角度をAFループまたは送波波再生ループのNCO（数値制御発振器）に帰還することで、局部発振器の瞬時位相をフィードフォワード形式で除去する構成を備えたものである。

【0007】

【発明の実施の形態】以下、本発明の実施の形態について、図1～12を用いて説明する。図1は、本発明の復調装置のブロック図である。図1において、1はアンプ、2、3はミキサ、4、5はLPF（低域通過フィルタ）、6、7はADC（A/Dコンバータ）、8は移相器、9はPLL、10は位相変換器、11は複素乗算器、12、13はRRCF（ルートレイストドコサインフィルタ）、14は周波数誤差検出器、15はループフィルタ、16はNCO、17は複素乗算器、18は位相誤差検出器、19はループフィルタ、20はNCO、21は変調信号入力端子、22は1軸復調信号出力端子、23はQ軸復調信号出力端子である。

【0008】変調信号入力端子21には、送波波周波数

1500MHzのQPSK変調信号が入力されるとする。変調信号入力端子21から入力されたQPSK変調信号は、アンプ1により増幅され2分配されてそれぞれミキサ2、3に入力される。搬送波周波数1500MHzのQPSK変調信号を受信する場合には、遙局PLL9では1500MHzの局部発振信号を生成する。ミキサ2、3では遙局PLL9で発生した1500MHzの局部発振信号をミキサ3には直接入力し、ミキサ2には移相器8で90度移相して入力する。これにより、ミキサ2、3で直交検波が行われ、同相軸(I軸)および直交軸(Q軸)からなる複素ベースバンド信号になる。

【0009】このベースバンド信号は、LPF4、5にて次段のA/Dコンバータのサンプリング周波数の1/2以上の周波数成分を除去し、ADC6、7でデジタル化され、複素乗算器11に入力される。複素乗算器11は、受信したQPSK信号の搬送波周波数とPLL9内部の局部発振器の発振周波数の差を補正するAFCループを実現する。

【0010】複素乗算器11の出力は、RRCF12、13にて、I軸とQ軸に独立に同じルートロールオフ特性のフィルタ処理が施され符号間干渉が除去される。RRCF12、13の出力は複素乗算器17に入力される。複素乗算器17は、AFCループで除去できなかつた微少な周波数誤差成分と位相誤差成分を高速に補正する搬送波再生ループを実現するものである。複素乗算器17の出力は、復調信号としてI軸復調信号出力端子22、Q軸復調信号出力端子23から出力される。出力された復調信号は誤り訂正回路に入力されて元のデータが復元される。

【0011】次にAFCループについて説明する。RRCF12、13から出力された信号は、分岐されて周波数誤差検出器14に入力される。周波数誤差検出器14では受信信号の搬送波周波数とPLL9の局部発振器の周波数との誤差を検出する。周波数誤差検出器14の原理は、まず受信ベクトル(RRCF12、13の出力)の極座標上における角度を求め、逐次n番目のシンボルの受信ベクトルの角度と(n+1)番目のシンボルの受信ベクトルの角度の差を求める。これは、単位時間(1シンボル期間)の間の位相回転であるので周波数誤差に相当する。すなわち、受信信号の搬送波周波数とPLL9の局部発振器の周波数との周波数誤差に相当する。なお、n相PSKの受信信号には $2\pi/n$ の整数倍の角度の位相変調成分がある。このため1シンボル間に $\pm 2\pi/n$ を越える搬送波の周波数誤差による位相回転は、変調成分と分離ができないので検出できない。すなわちシンボル周波数 f_{symbol} に対して、 $\pm f_{symbol}/2n$ が周波数誤差検出限界である。例えば、シンボル周波数20MHzのQPSK変調信号では、 $\pm 2, 5\text{MHz}$ が検出限界となる。

【0012】周波数誤差検出器14で得られた周波数誤差はループフィルタ15で平均化されてNCO16に入力される。NCO16は入力信号の値に応じて出力周波数が変化する発振器であり、ループフィルタ15の出力に応じて直交正弦波 $\exp(-j(\omega_0 \cdot t))$ を複素乗算器11に出力する。

【0013】以上より、複素乗算器11、RRCF12、13、周波数誤差検出器14、ループフィルタ15、NCO16によりAFCループが構成され搬送波の周波数同期が得られる。

【0014】AFCループの動作を式式を用いて説明する。第n番目のベースバンド信号を、 $(I_n + j Q_n)$ とし、複素乗算器11に入力される周波数オフセットを含むベースバンド信号の角周波数誤差成分を ω_0 、位相誤差成分を θ_0 とすると、複素乗算器11に入力される信号は、 $(I_n + j Q_n) \exp(j(\omega_0 \cdot t + \theta_0))$ と表現できる。ここでNCO16の出力は定常状態では、 $\exp(-j(\omega_0 \cdot t))$ に収束するので、結局複素乗算器11の出力は、周波数誤差が除去される。

【0015】図11は、ループフィルタ15のブロック図である。ループフィルタ15は乗算器1501、加算器1502、ラッチ回路(D)1503を含んで構成される。ラッチ回路1503はシンボルクロックに同期して加算器1502の出力を保持するラッチ回路である。周波数誤差検出器14の出力が乗算器1501に入力されると、乗算器1501では定数 γ が乗算されて加算器1502に入力される。加算器1502はラッチ回路1503とで累積加算器1503を構成している。ラッチ回路1503の出力はループフィルタ15の出力となってNCO16に入力される。なお、乗算器1501の機能は、定数 γ の値が2のべき乗の場合、乗算器への入力信号をビット単位でシフトして出力することで容易に実現できる。

【0016】図7はNCO16のブロック図である。NCO16は加算器1601、ラッチ回路(D)1602、加算器1604、データ変換回路1605、1606を含んで構成される。また、加算器1601とラッチ回路1602とで累積加算器1603を構成する。累積加算器1603はオーバーフローを禁止しない加算器で構成され、その積分動作により瞬時周波数から瞬時位相への変換を行う。加算器1604では、累積加算器1603出力の瞬時位相と位相変換器1604の出力を加算する。位相変換器1604については後程説明する。加算器1604の出力信号はコサインおよびサイン特性を有するデータ変換回路1605および1606にて、直交正弦波となり複素乗算器11に出力される。なお、データ変換回路1605、1606はROMまたは開封近似による演算回路などで実現できる。

【0017】次に搬送波再生ループについて説明する。

複素乗算器 17 の出力は分岐されて位相誤差検出器 18 に入力される。NCO 20 の出力と、RRCF 12, 13 の出力である複素ベースバンド信号の搬送波との位相誤差が、I, Q 平面上の各受信シンボル点と最も近い理想受信点（符号点）との誤差として検出される。

【0018】位相誤差検出器 18 からの位相誤差情報を、搬送波再生のためにループフィルタ 19 を介して NCO 20 に入力される。NCO 20 は入力信号の値に応じて出力周波数が変化する発振器であり、ループフィルタ 19 の出力に応じて直交正弦波 $\cos(\omega_1 t)$ と直交余弦波 $\sin(\omega_1 t)$ を複素乗算器 17 に出力する。

【0019】以上より、複素乗算器 17、位相誤差検出器 18、ループフィルタ 19、NCO 20 により搬送波再生ループが構成され搬送波の位相同期が得られる。

【0020】搬送波再生の過程を式を用いて説明する。すなわち第 n 番目のベースバンド信号を、 $(I_n + jQ_n)$ とし、複素乗算器 17 に入力される微小周波数オフセットおよび位相オフセットを含むベースバンド信号の角周波数誤差成分を ω_1 、位相誤差成分を θ_1 とすると、複素乗算器 17 に入力される信号は、 $(I_n + jQ_n) \cos(\omega_1 t + \theta_1)$ と表現できる。ここで NCO 20 の出力は定常状態では、 $\cos(\omega_1 t + \theta_1)$ に収束するので、結局複素乗算器 17 の出力は、ベースバンド信号 $(I_n + jQ_n)$ が得られることになる。

【0021】図 10 は、ループフィルタ 19 のブロック図である。この構成は所謂完全積分型の LPF である。ループフィルタ 19 は乗算器 1901, 1902, 加算器 1903, 1905、ラッチ回路 (D) 1904 を含んで構成される。ラッチ回路 1904 はシンボルクロックに同期して加算器 1903 の出力を保持するラッチ回路であり、その出力は加算器 1905 と 1903 に与えられる。位相誤差検出器 18 の出力が乗算器 1901, 1902 に入力されると、乗算器 1901 では定数 α が乗算されて加算器 1905 に入力され、乗算器 1902 では定数 β が乗算され、加算器 1903 に入力される。加算器 1903 はラッチ回路 1904 と累積加算器を構成している。加算器 1905 での加算結果はループフィルタ 19 の出力となって NCO 20 に入力される。なお、乗算器 1901, 1902 の機能は、定数 α, β の値が 2 のべき乗の場合、乗算器への入力信号をビット単位でシフトして出力することで容易に実現できる。

【0022】図 9 は NCO 20 のブロック図である。NCO 20 は加算器 2001, ラッチ回路 (D) 2002, データ変換回路 2004, 2005 を含んで構成される。また、加算器 2001 とラッチ回路 2002 で累積加算器 2003 を構成する。累積加算器 2003 はオーバーフローを禁止しない加算器で構成され、その積分動作により瞬時周波数から瞬時位相への変換を行う。累積加算器 2003 の出力信号はコサインおよびサイン特

性を有するデータ変換回路 2004 および 2005 にて、直交正弦波となり複素乗算器 17 に出力される。なお、データ変換回路 2004, 2005 は ROM または閑装近似による演算回路などで実現できる。

【0023】次に本発明のポイントである PLL 9、位相変換器 10、NCO 16 で構成される位相雜音除去のしくみを説明する。まず、PLL 9 の詳細を説明する。図 4 は PLL 9 のブロック図である。901 は VCO (電圧制御発振器)、902 は N 分周器、903 は位相比較器、904 は M 分周器、905 は基準発振器、906 はループフィルタ、907, 908 は L 分周器、909 は位相比較器である。

【0024】デジタル放送受信用チューナでは、遙層 PLL の基準発振器として 4 MHz の水晶発振器が一般に使用される。従って、基準発振器 905 の発振周波数は 4 MHz とする。また PLL の位相比較周波数は遙層周波数の設定分解能により決定されるが、ここでは 250 kHz とする。これにより位相比較器 903 は 250 kHz で位相比較を行うことになり、M 分周器 904 の周波数比 M の値は 1.6 で固定となる。

【0025】一方、受信チャンネルに応じて VCO 901 の発振周波数は変化するが、この図 1 の形態のダイレクトコンバージョン形式の受信方式では、VCO 901 の発振周波数は受信する変調信号の搬送波周波数に合わせる必要がある。ここでは、仮に受信信号の搬送波周波数を 1500 MHz としたので、位相比較器 903 の位相比較周波数 250 kHz まで分周するためには、N 分周器 902 の分周比 N の値は 6000 となる。このように N の値を変更することにより、VCO 901 の周波数可変範囲内で任意の周波数の信号を受信することができる。位相比較器 903 で検出された VCO 901 の基準発振器 905 に対する位相誤差信号はループフィルタ 906 で平滑化された後 VCO 901 の周波数を制御する。この PLL ループ (VCO 901, N 分周器 902, 位相比較器 903, ループフィルタ 906) により VCO 901 の発振周波数が設定された周波数 (この場合は 1500 MHz) になるように制御される。

【0026】VCO 901 の設定周波数からのずらしが位相雜音であり、基準発振器 905 の発振周波数との差をモニタすることで観測することができる。すなわち、位相比較器 903 の出力が VCO 901 の位相雜音を表していることになる。位相比較周波数は 250 kHz に設定しており、VCO 901 の出力を分周しているので分周比の値の N 周期分の VCO 901 の出力を平均化して位相誤差を観測することになる。また、通常は位相雜音の周波数成分として一般に数 10 kHz 程度までが問題となる。位相比較周波数を 250 kHz に設定しているので、さらに平均化することが可能で、N 分周器 902, M 分周器 904 の出力をそれぞれさらに L 分周するとして、L 分周器 907, 908 に接続する。ここ

では、例として $L = 4$ として位相比較器 909 の位相比較周波数を 62, 5 kHz とする。

【0027】次に位相比較器 909 の構成例を図 6 に示す。図 6 は位相比較器 909 のブロック図である。位相比較器 909 は、カウンタ 90901 とラッ奇回路 90902 から構成される。

【0028】位相比較器 909 の動作を図 12 を用いて説明する。カウンタ 90901 とラッ奇回路 90902 はクロック CLK に同期して動作する。この CLK はここでは ADC5, 7 のサンプリング周波数に一致するものとする。衛星デジタル放送の受信ではサンプリング周波数を 60 MHz に設定することが多い。

【0029】カウンタ 90901 は CLK に同期して 1 フレインクリメント動作を行う。カウンタ 90901 は clear 端子があり、L 分周器 908 の出力が接続されている。L 分周器 908 の出力は、基準発振器 905 の発振周波数 fREF/M/L に対し fREF/M/L の周波数となるが、さらにその波形の立下りで CLK の 1 周期分の負極性パルスを出力するものとする(図 12 の (b) の波形)。カウンタ 90901 は clear パルスが入力されると、カウント値が 0 に戻る。この例では fREF/M/L = 62, 5 kHz となり、60 MHz の CLK で動作するカウンタ 90901 のカウント出力は、0~959 となり(図 12 の (d) の波形)、このカウント出力はラッ奇回路 90902 に入力される。

【0030】ラッ奇回路 90902 には en 端子があり、L 分周器 907 の出力が接続されている。L 分周器

907 の出力は、VCO 901 の発振周波数 fVCO に対して fVCO/N/L の周波数となるが、さらにその波形の立ち上がりで CLK の 1 周期分の負極性パルスを出力するものとする(図 12 の (e) の波形)。ラッ奇回路 90902 は、この en パルスが入力された瞬間にカウンタ 90901 から入力されたデータを取り込んで次の en パルスまで保持する動作をする(図 12 の (e) の波形)。

【0031】PLL9 がロック状態にある場合は、fREF/M/L と fVCO/N/L は位相同期がとれているので、これらの波形のデューティが 50% になるように分周を行っていれば、波形の立下りで発生する clear パルスと波形の立ち上がりで発生する en パルスの関係から、0~959 のカウント動作のほぼ中心で en パルスが発生して、ラッ奇回路 90902 の出力は 480 前後の値となる。

【0032】VCO 901 の位相雑音が発生している状態では、PLL9 の位相同期は保持しているものの、基準位相の fREF/M/L に対して fVCO/N/L の位相が変動するためにラッ奇回路 90902 の出力は 480 からずれた値が検出される。これにより VCO 901 の瞬時位相ずれ(波形 N × L 周期分の平均)を定量的に検出することができる。

【0033】ラッ奇回路 90902 の出力は位相変換器 10 に入力される。位相変換器 10 では、(式 1) の演算を行って正負の符号を有する位相角 θ に変換する。

【0034】

$$\theta = 2\pi \times (CT - ((CT_{max} + 1)/2)) / (CT_{max} + 1) \quad (式 1)$$

ここで、CT はラッ奇回路 90902 の出力の値、CT_{max} はカウンタ 90901 のカウント値の最大値(この例では 959)である。

【0035】計算された位相角 θ は、図 7 の NCO16 内部の加算器 1604 に入力される。加算器 1604 では、AFC ループとしてのトランкиングを行う累積加算器 1603 から出力される位相信号に、VCO 901 の瞬時位相ずれ量に対応する位相角 θ をその位相ずれを補正する向きの符号で加算する。加算器 1604 の出力の位相信号によりデータ交換回路 1605, 1606 で直交正弦波を生成し、VCO 901 の瞬時位相ずれの影響を搬送波位相に受けたベースバンド信号と複素乗算器 11 で複素乗算される。以上説明した PLL9、位相変換器 10、NCO16 によるフィードフォワード型の動作により、VCO 901 の位相揺らぎを NCO16 と複素乗算器 11 からなる搬送波回転手段により格度良く補正することができる。なお、位相角 θ を加算器 1604 で加算することによる本来の AFC ループへの影響は θ の値の変化点以外では発生しないため無視可能であるが、安全のため AFC ループが引き込みを完了してループフィルタ 15 の出力を固定するまで加算しないように制御しても良い。

【0036】図 5 に PLL9 の別の構成例を示す。図 4 の位相比較器 903 が位相比較器 909 と共に用できる場合である。異なる点は、L 分周器 907, 908 と位相比較器 909 が削除され、ADC910 と LPF911 が追加されている点である。位相比較器 903 が EXOR 形式の場合、出力はパルス幅の変化する 2 値信号になるので、ADC910 ではパルス幅をカウントすることで、位相ずれ量を容易にデジタル値に変換できる。位相比較器 903 の出力がアナログ値の場合には通常の A/D コンバータを用いる。ADC910 の出力は LPF911 で平滑化されて位相変換器 10 へ送られる。

【0037】図 8 には、NCO16 の別の構成例を示す。図 7 に比べて、加算器 1604 が削除されて、乗算器 1607 と加算器 1608 が追加された点が異なる。位相変換器 10 の出力は乗算器 1607 で定数 r が乗算された後、加算器 1608 でループフィルタ 15 の出力と加算されて累積加算器 1603 に入力される。図 7 の構成では、位相変換器 10 の出力により直接直交正弦波の位相を制御するため位相が不連続に変化する。これに対して図 8 の構成は位相変換器 10 の出力を周波数情報として入力して累積加算器 1603 で積分して位相情報をとするために直交正弦波の位相は連続的に変化すること

になる。

【0038】以上が図1の説明である。変形例として図2がある。図1と異なる点は、位相変換器10の出力信号が、AFCループのNCO16に接続されずに搬送波再生ループのNCO20に接続されている点である。但し、図2においては、NCO16の構成は図9であり、NCO20の構成は図7または図8となる。図1で説明したように、位相変換器10の出力信号によりVCO9の位相挙動の影響を受けた複素ベースバンド信号の搬送波位相を補正することが発明の本質であり、実際に搬送波位相を補正することができる。AFCループでも、搬送波再生ループでも、またはそれ以外のループでも同等の効果を得ることができる。

【0039】以上説明したように、本発明ではチューナーの局部発振器を制御するPLLにおいて、PLL内部の基準発振器出力と局部発振器出力との位相比較出力から局部発振器の瞬時位相ずれを検出し、検出した瞬時位相ずれを位相変換器で搬送波の位相角度に変換し、その位相角度をAFCループまたは搬送波再生ループのNCOに帰還することで、局部発振器の瞬時位相ずれをファイドオワード形式で除去することができる。

【0040】本発明の位相雑音除去方法は、チューナーのPLLにて瞬時位相ずれを検出するため位相雑音の検出および補正が変調方式や伝送路条件に依存しない。従って、図1と図2では、CSデジタル放送のQPSK変調信号の復調装置について説明したが、主要な構成要素であるチューナーのPLLとAFCループまたは搬送波再生ループは他の変調方式用の復調装置でも共通に備えたものであり、BSデジタル放送のBPSKや地上デジタル放送のOFDM、BVS-BやCATVのQAMなどの他の変調信号にも適用可能である。位相雑音の検出が伝送路条件に依存しないことから、低C/Nや反射波の存在する条件下でも、位相雑音を誤検出することがないためAFCや搬送波再生ループが誤動作することもない。また、従来例のように搬送波再生ループの帯域幅を制御する必要がないので、固定劣化が増加することもない。

【0041】次に以上の説明と異なるタイプのチューナーを用いた場合の変形例について説明する。地上デジタル放送のOFDM、BVS-BやCATVのQAMなどでは、チューナーとしてダブルスーパーへテロダイイン形式のチューナーも使用される場合があるが、図1に示したRF段で直接直交検波するダイレクトコンバージョン方式のチューナーと周波数変換が1回のみ行われてチューナーのPLLが1個のみである点で共通であり、図1で説明した方法で同様に位相雑音を除去することができる。

【0042】ダブルスーパーへテロダイインチューナーの場合のチューナーの構成を図3に示す。図3において、51はアンプ、52はミキサ、53はBPF（帯域通過フィルタ）、54はミキサ、55はBPF、56、57はPLL、58、59は位相変換器、60は加算器、61はRF信号入力端子、62はIF信号出力端子である。

【0043】RF信号入力端子61から入力された変調信号はアンプ51で増幅されてミキサ52で第1の中間周波数(fIF1)に変換される。第1の中間周波数はその受信機が受信可能な受信帯域よりも高い周波数に設定される。この周波数変換に使用される局部発振器がPLL56である。PLL56の構成は、図4または図5に示したPLL9の構成と同じである。受信したい変調信号の搬送波周波数をfRFとするとき、PLL56のVCO9の発振周波数fL01は、 $fL01 = fRF + fIF1$ となるようにN分周器9.02のNの値を変更することにより設定する。ミキサ52の出力はBPF53により、搬送波fIF1を含む受信チャンネルの信号のみを通過させ隣接チャンネルの信号は除去される。BPF53の出力はミキサ54に入力される。ミキサ54では遅延されたfIF1の変調信号を、この受信機が受信可能な受信帯域よりも低い第2の中間周波数(fIF2)に周波数変換する。この周波数変換に使用される局部発振器がPLL57である。PLL57の構成は、図4または図5に示したPLL9の構成と同じである。PLL57のVCO9の発振周波数fL02は、 $fL02 = fIF1 - fIF2$ となるようにN分周器9.02のNの値を変更することにより設定する。ミキサ54の出力はBPF55により、fIF2を含む受信チャンネルのみの信号を通過させ隣接チャンネルの信号は除去してIF信号出力端子62から出力される。この後は図示しないが、さらにA/Dコンバータでサンプリングしやすいように低い搬送波周波数に変換する第3の周波数変換が行われる場合がある。この第3の周波数変換に使用されるVCOは一般に共振器に水晶振動子が使用されるため位相雑音は問題にならない。この第3の周波数変換の後、A/Dコンバータでデジタル化された後、デジタル信号処理で直交検波が行われる。この後、AFCループや搬送波再生ループにより復調処理が行われるのは、図1、図2と同様である。

【0044】以上より、ダブルスーパーへテロダイインチューナーではVCOを2個含むためにそれぞれの瞬時位相の挙動を合算してAFCループまたは搬送波再生ループのNCO16へフィードオワードする必要がある。PLL56、57内部の位相比較器で検出されたそれぞれのVCOの瞬時位相の挙動を位相角θに変換するのが位相変換器58、59である。その動作は図1の位相変換器10と同じである。位相変換器58、59で得られた位相角は加算器60で加算されてNCO16へ出力される。なお、位相角の符号については、VCOの発振周波数がミキサで周波数変換を行う入力信号周波数の上か下かによって変化するので、その点を考慮して設定するものとする。

【0045】なお、説明した位相比較器9.09の構成は一例であり、位相誤差情報をデジタル化できる方法であ

れば他の構成でも良い。また、説明に使用したL, M, Nの値や周波数の値は一例であり、この値に限定されるものではない。また、位相比較器909の出力に平滑化のためのLPFを挿入しても良い。また、PLL9、ミキサ2, 3, LPF4, 5, ADC6, 7、複素乗算器11の系の遅延と、PLL9、位相変換器10、NCO15、複素乗算器11の系の相対遅延が無視できない場合は、適切な遅延調整を入れても良い。また図3の構成では、PLL56を含む系とPLL57を含む系でそれぞれ適切な遅延調整を入れても良い。

【0045】

【発明の効果】以上説明したように、本発明ではチューナの局部発振器を制御するPLLにおいて、PLL内部の基準発振器出力と局部発振器出力との位相比較出力から局部発振器の瞬時位相ずれを検出し、検出した瞬時位相ずれを位相変換器で搬送波の位相角度に変換し、その位相角度を AFCループまたは搬送波再生ループのNCOに帰還することで、局部発振器の瞬時位相ずれをフィードフォワード形式で除去することができる。

【0047】本発明の位相雑音除去方法は、チューナのPLLにて瞬時位相ずれを検出するため位相雑音の検出および補正が変調方式や伝送路条件に依存しない。また、搬送波再生ループの帯域幅を制御する必要がないので、固定劣化が増加することもない。

【0048】またチューナとの連携により位相雑音を除去する方法のため、チューナと後段のデジタル信号処理による復調ブロックとを同一のモジュールや同一パッケージのLSIに構成する場合に特に有効な方法である。

【図面の簡単な説明】

【図1】本発明の実施の形態における復調装置のブロック図

【図2】本発明の実施の形態の第1の変形における復調装置のブロック図

【図3】本発明の実施の形態の第2の変形における復調装置のブロック図

【図4】復調装置で用いられるPLLの第1の構成例を示すブロック図

【図5】復調装置で用いられるPLLの第2の構成例を示すブロック図

【図6】復調装置のPLLで用いられる位相比較器の構成例を示すブロック図

【図7】復調装置で用いられるNCOの第1の構成例を示すブロック図

【図8】復調装置で用いられるNCOの第2の構成例を示すブロック図

【図9】復調装置で用いられる通常のNCOの構成例を示すブロック図

示すブロック図

【図10】復調装置の搬送波再生ループで用いられるループフィルタの構成例を示すブロック図

【図11】復調装置のAFCループで用いられるループフィルタの構成例を示すブロック図

【図12】位相比較器の動作を説明する波形図

【図13】従来の復調装置の構成例を示すブロック図

【符号の説明】

1, 51 アンプ

2, 3, 52, 54 ミキサ

4, 5, 911 LPF

6, 7 ADC

8 移相器

9, 56, 57 PLL

10, 58, 59 位相変換器

11, 17 複素乗算器

12, 13 RRCF

14 周波数誤差検出器

15, 19, 906 ループフィルタ

16, 20 NCO

18 位相誤差検出器

21 变調信号入力端子

22 I軸復調信号出力端子

23 Q軸復調信号出力端子

53, 55 BPF

60, 1601 加算器

61 RF信号入力端子

62 IF信号出力端子

101, 903, 909 位相比較器

102 帯域可変ループフィルタ

103, 901 VCO

104 位相雑音検出器

902 N分周器

904 M分周器

905 基準発振器

907, 908 L分周器

910 ADC

90901 カウンタ

1503, 1602, 1904, 2002, 90902 ラッチ回路

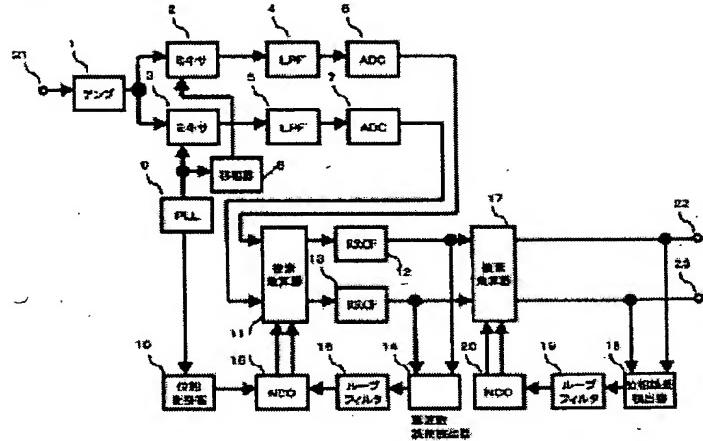
1603, 2003 累積加算器

1502, 1604, 1608, 1903, 1905, 2001 加算器

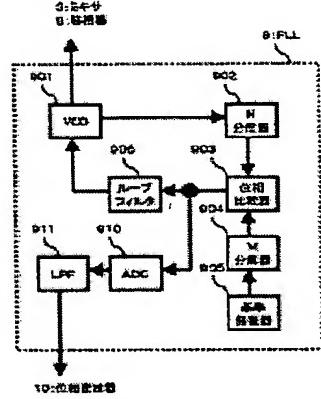
1605, 1606, 2004, 2005 データ交換回路

1501, 1607, 1901, 1902 乗算器

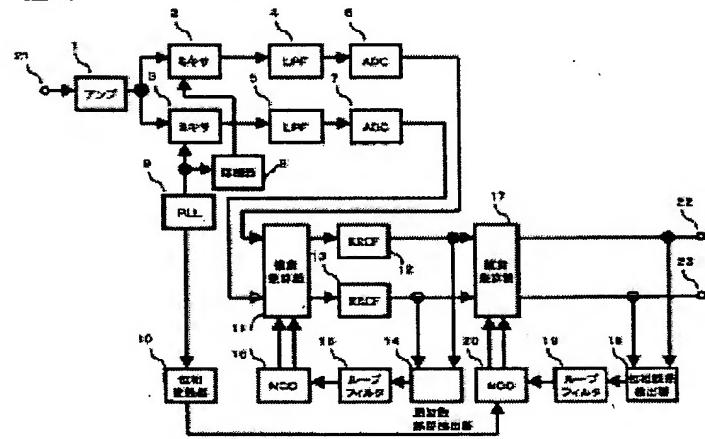
[図 1]

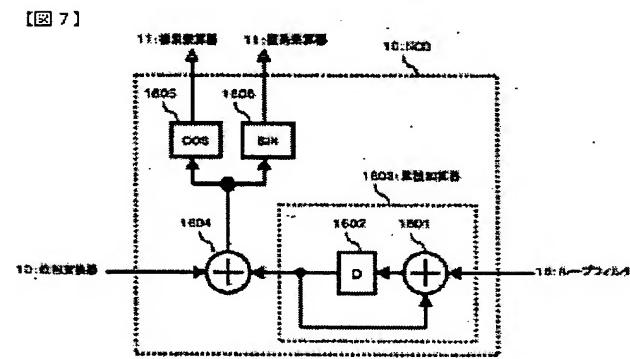
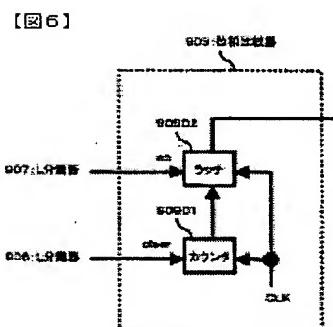
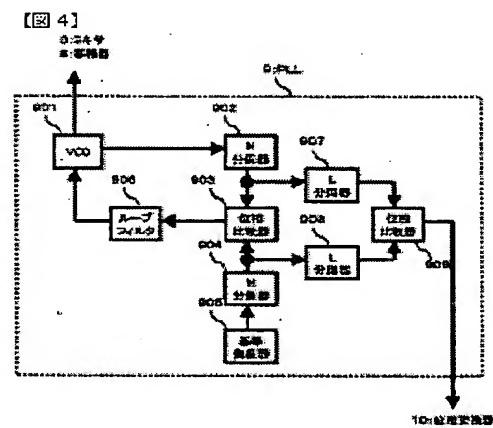
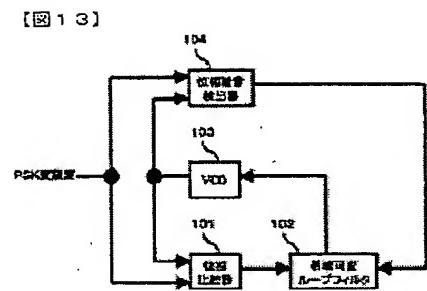
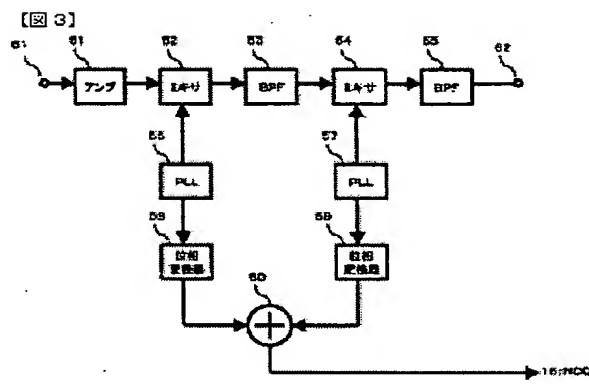


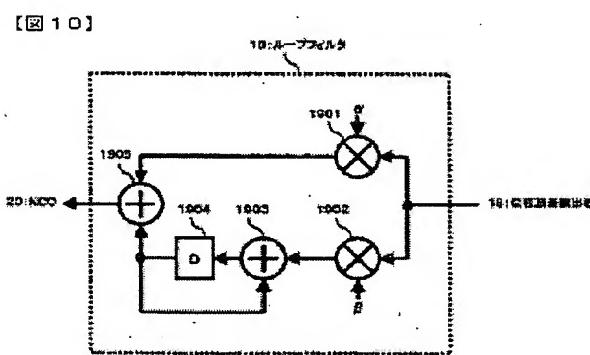
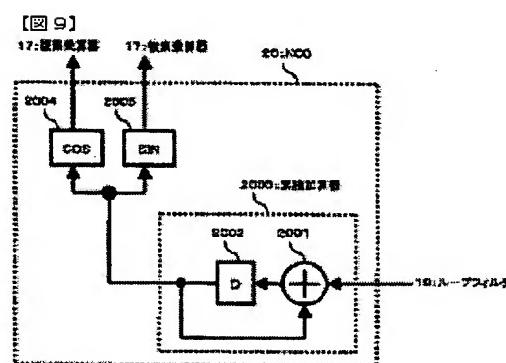
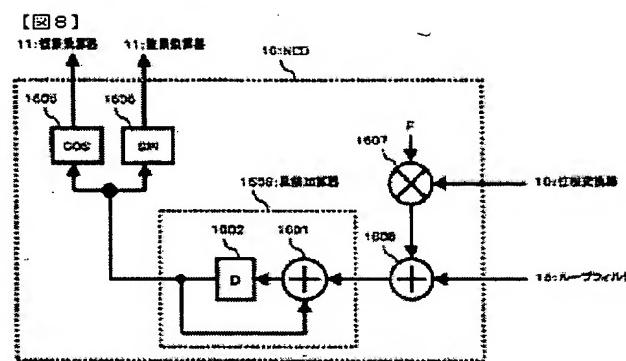
[図 5]



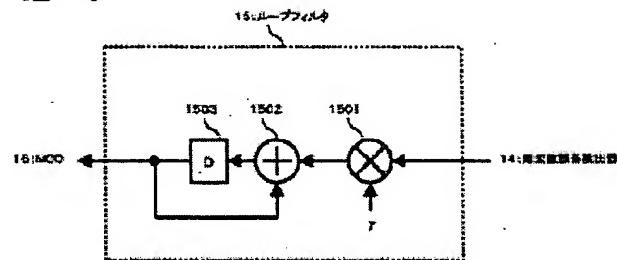
[図 2]



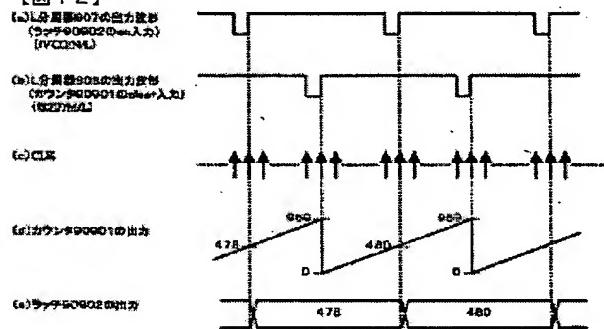




【図1-1】



【図1-2】



フロントページの読み

(72)発明者 加藤 久也
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

FTマーク(参考) SK004 AA01 BA02 BB02